

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189979

(43)Date of publication of application : 21.07.1998

(51)Int.Cl. H01L 29/786
H01L 21/336
G02F 1/136
H01L 21/28

(21)Application number : 08-342211

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 20.12.1996

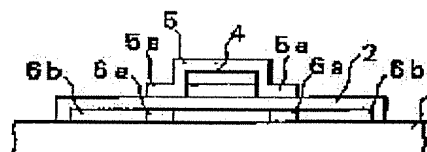
(72)Inventor : KATO HIDEKAZU

(54) MANUFACTURE OF THIN-FILM TRANSISTOR AND THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a formation method of a thin-film transistor of an LDD structure, wherein element characteristic is improved by a dimple process in a manufacturing method of an active matrix type liquid crystal display device in which a polysilicon TFT is used.

SOLUTION: After a polysilicon layer 2 which becomes a working layer of a TFT has been formed on a substrate 1 and a gate insulation film and a gate electrode 4 have been formed, a protective film which becomes a barrier layer 5 during ion implantation is formed to a specified thickness which is predetermined with relation to ion implantation conditions. After it is patterned so that an outer shape thereof matches a boundary between a low concentration region 6a and a high concentration region 6b which become a source/drain regions of an LDD structure, ion implantation is performed for a polysilicon layer 2 by using it as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-189979

(43)公開日 平成10年(1998) 7月21日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 L

21/336

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/28

3 0 1 D

H 0 1 L 21/28

3 0 1

29/78

6 1 6 V

6 1 6 A

審査請求 未請求 請求項の数10 O L (全 8 頁) 最終頁に続く

(21)出願番号

特願平8-342211

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日

平成8年(1996)12月20日

(72)発明者 加藤 秀和

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外2名)

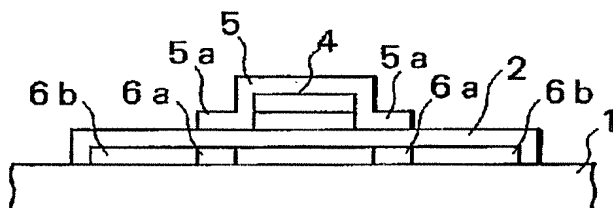
(54)【発明の名称】 薄膜トランジスタの製造方法および薄膜トランジスタ

(57)【要約】

(修正有)

【課題】 ポリシリコンTFTを用いたアクティブマトリックス型液晶表示装置の製造方法において、簡易なプロセスで素子特性を向上させたLDD構造の薄膜トランジスタの形成方法を提供する。

【解決手段】 基板1上にTFTの動作層となるポリシリコン層2を形成し、ゲート絶縁膜及びゲート電極4を形成した後、イオン打ち込みの際のバリア層5となる保護膜をイオン打ち込み条件との関係で与め設定された所定の厚みに形成し、これをその外形がLDD構造のソース・ドレイン領域となる低濃度領域6aと高濃度領域6bとの境界に合致するようにパターニングしてから、これをマスクとして上記ポリシリコン層2に対してイオン打ち込みを行なうようにした。



【特許請求の範囲】

【請求項 1】基板上に画素電極がマトリックス状に形成されるとともに各画素電極に対応して各々薄膜トランジスタが形成され、前記薄膜トランジスタを介して前記画素電極に電圧が印加されるように構成された液晶パネル用基板の製造プロセスにおいて、

上記基板上に薄膜トランジスタの動作層となる半導体層を形成する工程と、前記半導体層の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上にゲート電極を形成する工程と、前記ゲート電極を覆う所定の厚みのバリア層を形成する工程と、前記バリア層形成後に上記半導体層に達するように不純物のイオン打ち込みを行なう工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 上記ゲート電極およびゲート線は、少なくともポリシリコン層とその上に形成された金属のシリサイド層とを含む多層構造であることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】 上記ゲート電極およびゲート線は少なくともポリシリコン層を有し、該ポリシリコン層に含まれる不純物と、上記イオン打ち込みされる不純物とは同一または異なる導電型を構成する不純物であることを特徴とする請求項 1 または 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】 上記バリア層は酸化シリコンからなり、その厚みは 500～1500 オングストロームであることを特徴とする請求項 1、2 または 3 に記載の薄膜トランジスタの製造方法。

【請求項 5】 上記イオン打ち込みされる不純物はリンまたはボロンであることを特徴とする請求項 1、2、3 または 4 に記載の薄膜トランジスタの製造方法。

【請求項 6】 基板上にトランジスタの動作層となる半導体層が形成され、その表面にゲート絶縁膜を介してゲート電極が形成されているとともに、上記半導体層には上記ゲート電極の近傍に低濃度のソース・ドレイン領域が、またその外側に高濃度のソース・ドレイン領域が形成されてなることを特徴とする薄膜トランジスタ。

【請求項 7】 上記ゲート電極の上には所定の厚みを有しその外形が上記ソース・ドレイン領域となる低濃度領域と高濃度領域との境界に合致するようにパターンニングされたバリア層が形成されてなることを特徴とする請求項 6 に記載の薄膜トランジスタ。

【請求項 8】 基板上に画素電極がマトリックス状に配列形成され、各画素電極に対応して各画素電極に電圧を引火するトランジスタが形成されてなる液晶パネル用基板において、

上記画素トランジスタが請求項 6 または 7 に記載の薄膜トランジスタにより構成されてなることを特徴とする液晶パネル用基板。

【請求項 9】 請求項 8 に記載の液晶パネル用基板と、

対向電極を有する透明基板とが適当な間隔をおいて配置されるとともに、上記液晶パネル用基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項 10】 光源と、前記光源からの光を変調して透過もしくは反射する請求項 9 に記載の構成の液晶パネルと、これらの液晶パネルにより変調された光を集光し拡大投写する投写光学手段とを備えていることを特徴とする投写型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LDD (Lightly Doped Drain) 構造の薄膜トランジスタの製造技術に関し、例えば画素電極に選択的に電圧を印加するスイッチ素子としてポリシリコン TFT (薄膜トランジスタ) を使用したアクティブマトリックス型液晶表示装置の製造プロセスに利用して好適な技術に関する。

【0002】

【従来の技術】従来、アクティブマトリックス型液晶表示装置としては、ガラス基板上にマトリックス状に画素電極を形成すると共に、各画素電極に対応してポリシリコンを用いた TFT を形成して、各画素電極に TFT により電圧を印加して液晶を駆動するようにした構成の LCD (液晶表示装置) が実用化されている。

【0003】一方、MOSFET を能動素子とした半導体集積回路においては、バイアス電圧を印加したときに、ゲート電極に対して自己整合して形成されたソース・ドレイン領域のチャネル側の境界に電界集中が起きて素子の耐圧が低下するという欠点を防止するため、ゲート電極の近傍に低濃度のソース・ドレイン領域をまたその外側に高濃度のソース・ドレイン領域を形成してなる LDD 構造の MOSFET を使用したものが実用化されている。

【0004】

【発明が解決しようとする課題】上記ポリシリコン TFT を用いたアクティブマトリックス型 LCD においては、素子特性を向上させるため LDD 構造の TFT を用いようすると、低濃度のソース・ドレイン領域と高濃度のソース・ドレイン領域を別々に形成しなければならないので、プロセスが複雑になるという問題点があった。

【0005】この発明の目的は、アクティブマトリックス型 LCD において、極めて簡単なプロセスによって LDD 構造の TFT を形成することができる技術を提供することにある。

【0006】この発明の他の目的は、アクティブマトリックス型 LCD におけるゲート線の抵抗を下げるができる技術を提供することにある。

【0007】この発明のさらに他の目的は、アクティブマトリックス型 LCD においてゲート線の抵抗を下げる

ためゲート線を多層構造としたときに層間の剥がれを有効に防止することができる技術を提供することにある。

【0008】

【課題を解決するための手段】この発明は、上記目的を達成するため、ガラス基板のような基板上にTFTの動作層となる半導体層（ポリシリコン層）を形成し、その表面にゲート絶縁膜を形成しさらにこのゲート絶縁膜の上にゲート電極（ゲート線を含む）を形成した後、イオン打ち込みの際の弱いバリア層となる酸化シリコンのような保護膜をイオン打ち込み条件との関係で与め設定された所定の厚みに形成し、これをその外形がLDD構造のソース・ドレイン領域となる低濃度領域と高濃度領域との境界に合致するようにパターンニングしてから、これをマスクとして上記半導体層に対して所定のエネルギーでイオン打ち込みを行なうようにしたものである。

【0009】上記手段によれば、1回のイオン打ち込みによって、ゲート電極の近傍に低濃度のソース・ドレイン領域を、またその外側に高濃度のソース・ドレイン領域を有するLDD構造のTFTを形成することができる。

【0010】また、上記ゲート電極およびゲート線は、例えばポリシリコン層の上に金属のシリサイド層を形成した多層構造とするのが望ましい。これによって、ゲート線の低抵抗化を図ることができる。しかもこのとき、上記バリア層がゲート電極およびゲート線の上を被覆しているため、ゲート電極およびゲート線を構成するポリシリコン層とメタルシリサイド層との剥がれを防止することができる。

【0011】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0012】図1～図3は本発明が適用されたプロセスの要部を工程順に示す。このうち図2および図3は、それぞれ本発明を適用してポリシリコンTFTを形成するプロセスにおけるイオン打ち込み前と、イオン打ち込み後の状態を示す。

【0013】図1において、1はガラス基板である。この実施例では、先ずガラス基板1上にTFTの動作層となるポリシリコン層2をCVD法等により例えば1000オングストロームのような厚さに形成する。次に、これを熱酸化することによって、ポリシリコン層2の表面に700～1500オングストローム好ましくは1250オングストローム程度の厚さのゲート酸化膜3を形成する。これによって、ポリシリコン層2は最終的に350～450オングストロームのような厚みとされる。

【0014】次に、上記ゲート絶縁膜3の上に例えばリンをドーブした第2層目のポリシリコン層4aを、またその上に例えばタングステンシリサイド（WSi）のような金属のシリサイド層4bを形成し、これらをパターンニングすることで図1に示すように、上記ポリシリコン

層2のはば中央に位置するゲート電極4を形成する。上記ゲート電極4を構成する2層目のポリシリコン層4aは、例えばCVD法等により1000オングストロームのような厚さに形成される。またその上のシリサイド層（WSi）4bは例えばスパッタ法により1000オングストロームのような厚さに形成される。

【0015】次に、上記ゲート電極4およびゲート絶縁膜3を覆うように、酸化シリコン膜をCVD法等により形成した後、上記ゲート電極4の周囲のみを覆うようにパターンニングを行なってイオン打ち込みの際の弱いバリア層5を形成する。このとき、酸化シリコンからなるバリア層5の端部の段差部5aの幅dは、後に形成される低濃度のソース・ドレイン領域の幅に応じて0.5～2.5μm、より好ましくは1.5μm程度にされる。バリア層5を構成する酸化シリコン膜の厚みは、その材料や使用するイオン種、イオン打ち込みエネルギー、ゲート絶縁膜3の材質や厚み、低濃度のソース・ドレイン領域および高濃度のソース・ドレイン領域の設計濃度等との関係で決定されるが、一応の目安としては500～1500オングストロームの範囲が妥当である。

【0016】一例として、リンイオンを90eV程度のエネルギーで打ち込み、低濃度のソース・ドレイン領域を $1 \times 10^{13} / \text{cm}^3$ 、高濃度のソース・ドレイン領域を $1 \times 10^{15} / \text{cm}^3$ のような濃度にする場合には、上記バリア層5は約1000オングストロームのような厚みとされる。リン以外のイオン種としては例えばヒ素などがある。打ち込みエネルギーは90eVに限定されず、バリア層5の厚み、ゲート絶縁膜3の材質や厚み、低濃度のソース・ドレイン領域および高濃度のソース・ドレイン領域の設計濃度等との関係で決定される。

【0017】上記実施例によれば、バリア層5の中央部の下にはゲート電極4があるため打ち込まれたイオンはポリシリコン層2に達しないとともに、バリア層5の端部においてはその段差部5aが弱いバリア層となりリンイオンの一部のみが貫通するため、図2に示されているように、段差部5aの下方のポリシリコン層2に低濃度のソース・ドレイン領域6aが形成される。また、バリア層5によって覆われていないポリシリコン層2の外側の部位にはリンイオンが十分に打ち込まれるため、高濃度のソース・ドレイン領域6bが形成される。このように実施例の方法によれば、1回のイオン打ち込みによって、ゲート電極の近傍に低濃度のソース・ドレイン領域6aを、またその外側に高濃度のソース・ドレイン領域6bを有するLDD構造のTFTを形成することができる。

【0018】なお、上記実施例では、バリア層5を酸化シリコンで形成した場合について説明したが、バリア層5の材料は酸化シリコンに限定されず、ポリシリコン等であってもよい。その場合の膜厚としては、およそ1300オングストロームが妥当であるが、それに限定され

ず、使用するイオン種、イオン打ち込みエネルギー、ゲート絶縁膜3の材質や厚み、低濃度のソース・ドレイン領域および高濃度のソース・ドレイン領域の設計濃度等との関係で決定すればよい。

【0019】また、上記実施例では、ゲート電極4をポリシリコン層4aとWSi層4bの2層構造としたが、これに限定されず、さらにアルミ等の金属層を重ねた3層構造としたり、シリサイド層としてタングステン以外の例えばタンタル等の金属とシリコンとの合金を用いるようにしても良い。このようにゲート電極4を、ポリシリコン層と金属シリサイド層との多層構造とすることによって、ゲート線の低抵抗化を図ることができる。しかもこのとき、上記バリア層5が少なくともゲート電極4の上を被覆しているため、ゲート電極を構成するポリシリコン層4aとシリサイド層4bとの剥がれを防止することができる。

【0020】すなわち、ゲート電極形成後にアニール等の熱処理を行なうとシリサイドは露出面で異常酸化を起こし易くその際に急激な堆積膨張を伴う。その結果、シリサイド層4bと下層のポリシリコン層4aとの間に応力差が生じ、膜剥がれの原因となるが、上記実施例では、シリサイド層4bの上にバリア層5が形成されているため、シリサイド層4bの表面が雰囲気中の酸素に触れるのを防止でき、これによってその後の熱処理におけるシリサイドの酸化による堆積膨張を抑制してポリシリコン層4aとの剥がれを防止することができる。

【0021】図4には上記実施例のポリシリコンTFTを使用した液晶パネル用基板の1画素部分の完成状態での断面構造を示す。

【0022】図4において、7は酸化シリコン等からなる第1層間絶縁膜、8はBPSG（ボロンおよびリンを含んだ酸化シリコンガラス）等からなる第2層間絶縁膜、9はアルミニウム等の導電層からなる信号線、10はITO膜からなる画素電極である。上記第1層間絶縁膜7は、例えばCVD法等により8000オングストロームのような厚さに形成される。第2層間絶縁膜8は、第1層間絶縁膜7の上にアルミニウムからなる信号線9を形成した後に形成される。信号線9は第1層間絶縁膜7およびゲート絶縁膜3にコンタクトホール11を開口してから蒸着等により約3500オングストロームのような厚さに形成され、上記ポリシリコン層2に接触される。

【0023】画素電極10は、上記ポリシリコン層2のドレイン領域上方のゲート絶縁膜3、第1層間絶縁膜7および第2層間絶縁膜8にかけてコンタクトホール12をドライエッチングで開口してから、ITO膜をスパッタリングで1500オングストロームのような厚さに形成し選択エッチングによりパターニングを行なうことで形成される。

【0024】さらに、上記画素電極10および第2層間

絶縁膜8上にかけてはポリイミド等からなる配向膜を約2000～3000オングストロームのような厚さに形成して、ラビング（配向処理）を行なうことで液晶パネル用基板とされる。

【0025】図5は、上記実施例のTFTを含む画素の平面レイアウト構成例を示す。図5において、ハッチングAが付されているゲート線4と信号線9との交差箇所が、TFTのチャネル部分である。

【0026】なお、特に限定されないが、この実施例では、トランジスタ（TFT）のドレインに接続される容量を増加させるため、動作層を構成する1層目のポリシリコン層2を、2aのように信号線9および隣接する画素（図では上側）のゲート線4を構成する2層目のポリシリコン層に沿って延設するとともに、当該ゲート線4を構成する2層目のポリシリコン層の一部を、4aのように信号線9に沿って延設するように構成されている。これによって、信号線9の下方に形成された1層目と2層目のポリシリコン層間の容量（ゲート絶縁膜3を誘電体とする）が、保持容量として各画素電極に電圧を印加するTFTのドレイン（ソースと呼ばれることもある）に接続されることとなる。

【0027】上記のごとく構成された液晶パネル用基板は、その表面側に、LCコモン電位が印加される透明導電膜（ITO）からなる共通電極（必要に応じてカラーフィルタ層）を有する入射側のガラス基板が適当な間隔において配置され、周囲をシール材で封止された間隙内にTN（Twisted Nematic）型液晶またはSH（SuperHomeotropic）型液晶などが封入されて液晶パネルとして構成される。本発明は透過型または反射型の液晶パネルのいずれを構成する液晶パネル用基板に関しても適用することができる。さらに、本発明は、液晶パネル用基板以外の用途に使用される回路を構成する薄膜トランジスタ一般に利用することができる。

【0028】図6は、上記各実施例の液晶パネルのTFT側の基板のシステム構成例を示す。図において、90は互いに交差するように配設されたゲート線2と信号線3との交点に対応してそれぞれ配置された画素で、各画素90はITO等からなる画素電極14とこの画素電極14に信号線3上の画像信号に応じた電圧を印加するTFT91とからなる。同一行（Y方向）のTFT91はそのゲートが同一のゲート線2に接続され、ドレインが対応する画素電極14に接続されている。また、同一列（X方向）のTFT91はそのソースが同一の信号線3に接続されている。この実施例においては、周辺回路（X、Yシフトレジスタやサンプリング手段）50、60を構成するトランジスタが画素を駆動するTFTと同様にポリシリコン層を動作層とするいわゆるポリシリコンTFTで構成されており、周辺回路50、60を構成するトランジスタは画素駆動用TFTとともに同一プロセスにより、同時に形成される。

【0029】この実施例では、画素領域（画素マトリックス）20の一侧（図では上側）に上記信号線3を順次選択するシフトレジスタ（以下、Xシフトレジスタと称する）51が配置され、画素マトリックスの他の一侧には上記ゲート線2を順次選択駆動するシフトレジスタ

（以下、Yシフトレジスタと称する）61が設けられている。また、Yシフトレジスタ61の次段には必要に応じてバッファ63が設けられる上記各信号線3の他端にはサンプリング用スイッチ（TFT）52が設けられており、これらのサンプリング用スイッチ52は外部端子74、75、76に入力される画像信号VID1～VID3を伝送するビデオライン54、55、56との間に接続され、上記Xシフトレジスタ51から出力されるサンプリングパルスによって順次オン／オフされるように構成されている。Xシフトレジスタ51は、端子72、73を介して外部より入力されるクロックCLX1、CLK2に基づいて1水平走査期間中にすべての信号線3を順番に1回ずつ選択するようなサンプリングパルスX1、X2、X3、……Xnを形成してサンプリング用スイッチ52の制御端子に供給する。一方、上記Yシフトレジスタ61は、端子77、78を介して外部から入力されるクロックCLY1、CLY2に同期して動作され、各ゲート線2を順次駆動する。

【0030】図7（a）および（b）には上記液晶パネル用基板を適用した液晶パネル30の断面構成および平面レイアウト構成を示す。図に示すように、上記液晶パネル用基板10の表面側にはLCコモン電位が印加される透明導電膜（ITO）からなる対向電極33およびカラーフィルタ層（ブラックマトリックスを含む）13を有する入射側のガラス基板35が適当な間隔をおいて配置され、周囲をシール材36で封止された間隙内にTN（Twisted Nematic）型液晶またはSH（SuperHomeotropic）型液晶37などが充填されて液晶パネル30として構成されている。また、周辺回路50、60の上方は、例えば対向基板31に設けられるブラックマトリックス等により遮光されるように構成される。38は対向基板31側に設けられる液晶注入口である。

【0031】上記実施例の液晶パネル用基板は、その表面側に、LCコモン電位が印加される透明導電膜（ITO）からなる対向電極および上記画素電極に対応するカラーフィルタ層とその周囲を囲むブラックマトリックスが形成された入射側のガラス基板が適当な間隔をおいて配置され、周囲をシール材で封止された間隙内にTN（Twisted Nematic）型液晶またはSH（Super Homeotropic）型液晶などが充填されて液晶パネルとして構成される。

【0032】図8は上記実施例の液晶パネルをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの構成例が示されている。

【0033】図8において、370はハロゲンランプ等

の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、378、379、380は上記実施例の液晶パネルからなるライトバルブ、383はダイクロイックプリズムである。

【0034】この実施例のビデオプロジェクタにおいては、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして先ず、青色反射ダイクロイックミラー373により、青色光（概ね50nm以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調ライトバルブ378に入射する。

【0035】一方、上記青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光（概ね500～600nmの波長）が反射され、その他の光である赤色光（概ね600nm以上の波長）は透過する。ダイクロイックミラー375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え、赤色変調ライトバルブ380に入射する。

【0036】ライトバルブ378、379、380は、図示しないビデオ信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光はそれぞれのライトバルブで変調された後、ダイクロイックプリズム383で合成される。ダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに直交するように形成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投写レンズ384によってスクリーン上に拡大投射され、表示される。

【0037】

【発明の効果】以上説明したように、この発明は、絶縁基板上にTFTの動作層となる半導体層（ポリシリコン層）を形成し、その表面にゲート絶縁膜を形成しさらにこのゲート絶縁膜の上にゲート電極（ゲート線を含む）を形成した後、イオン打ち込みの際の弱いバリア層となる保護膜をイオン打ち込み条件との関係で与め設定された所定の厚みに形成し、これをその外形がLDD構造のソース・ドレイン領域となる低濃度領域と高濃度領域との境界に合致するようにパターンニングしてから、これをマスクとして上記半導体層に対して所定のエネルギーでイオン打ち込みを行なうようにしたので、1回のイオン打ち込みによって、ゲート電極の近傍に低濃度のソース・ドレイン領域を、またその外側に高濃度のソース・ドレイン領域を有するLDD構造のTFTを形成することができるという効果がある。

【0038】また、上記ゲート電極およびゲート線は、例えばポリシリコン層の上に金属のシリサイド層を形成した多層構造としたので、ゲート電極およびゲート線の低抵抗化を図ることができるとともに、上記バリア層がゲート電極およびゲート線の上を被覆しているため、ゲート電極およびゲート線を構成するポリシリコン層とシリサイド層との剥がれを防止することができるという効果がある。

【図面の簡単な説明】

【図1】本発明方法を適用して液晶パネル用基板にポリシリコンTFTを形成するプロセスのゲート電極形成後の状態を示す断面図。

【図2】本発明方法を適用して液晶パネル用基板にポリシリコンTFTを形成するプロセスにおけるイオン打ち込み前の状態を示す断面図。

【図3】本発明方法を適用して液晶パネル用基板にポリシリコンTFTを形成するプロセスにおけるイオン打ち込み後の状態を示す断面図。

【図4】本発明方法を適用して形成されたポリシリコンTFTを有する画素の構造を示す断面図。

【図5】本発明方法を適用して形成されたポリシリコンTFTを有する画素の平面レイアウト図。

【図6】本発明を適用して好適な液晶パネル用基板のシステム構成例を示すブロック図。

【図7】本発明に係る液晶パネル用基板を用いた液晶パネルの構成例を示す断面図および平面図。

【図8】実施例の液晶パネル用基板を用いたLCDをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの概略構成図。

【符号の説明】

1 ガラス基板

2 ポリシリコン層（TFTの動作層）

3 ゲート絶縁膜

4 ゲート電極（ゲート線）

5 バリア層

6 a 低濃度ソース・ドレイン領域

6 b 高濃度ソース・ドレイン領域

7 第1層間絶縁膜

8 第2層間絶縁膜

9 信号線

10 画素電極

11, 12 コンタクトホール

20 画素領域

30 液晶パネル

31 対向基板

33 対向電極

36 シール材

37 液晶

50, 60 周辺回路

51 Xシフトレジスタ

52 サンプルング用スイッチ

54~56 ビデオライン

61 Yシフトレジスタ

72~78 外部端子

90 画素

91 画素駆動用TFT

370 ランプ

373, 375, 376 ダイクロイックミラー

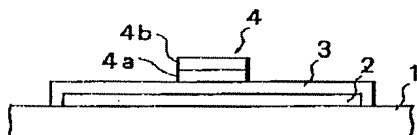
374, 377 反射ミラー

378, 379, 380 ライトバルブ

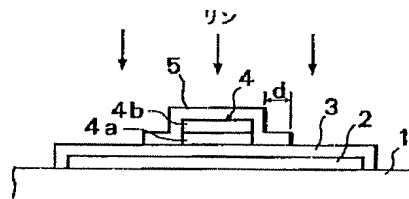
383 ダイクロイックプリズム

384 投写レンズ

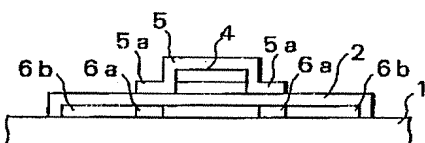
【図1】



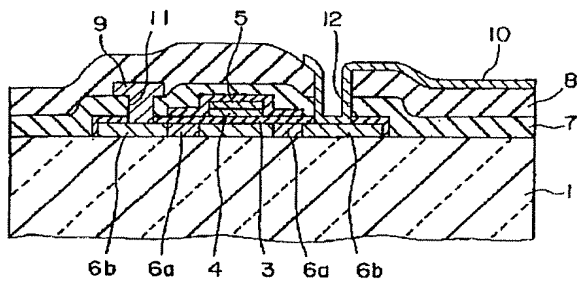
【図2】



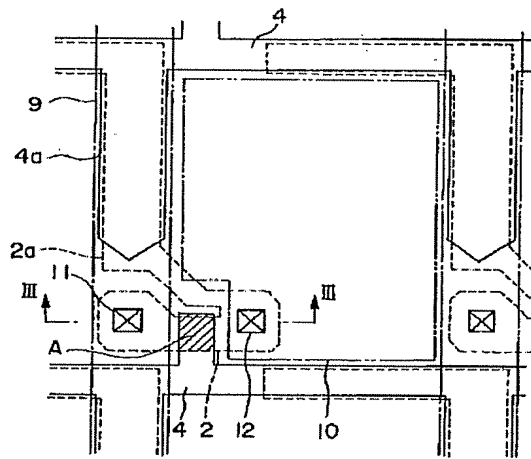
【図3】



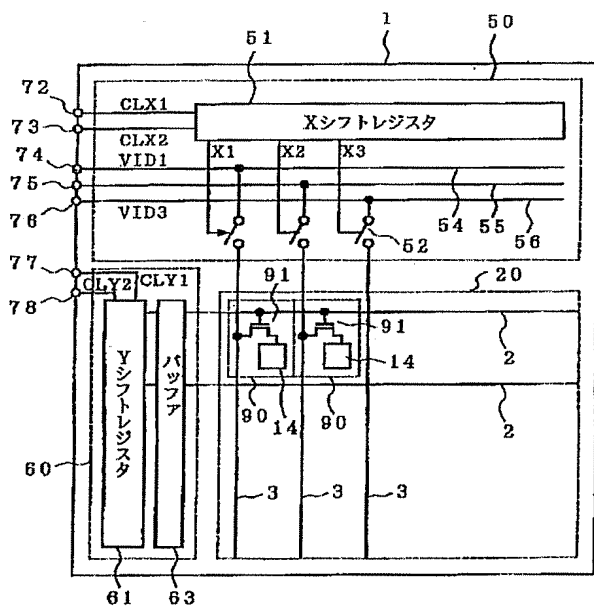
【図4】



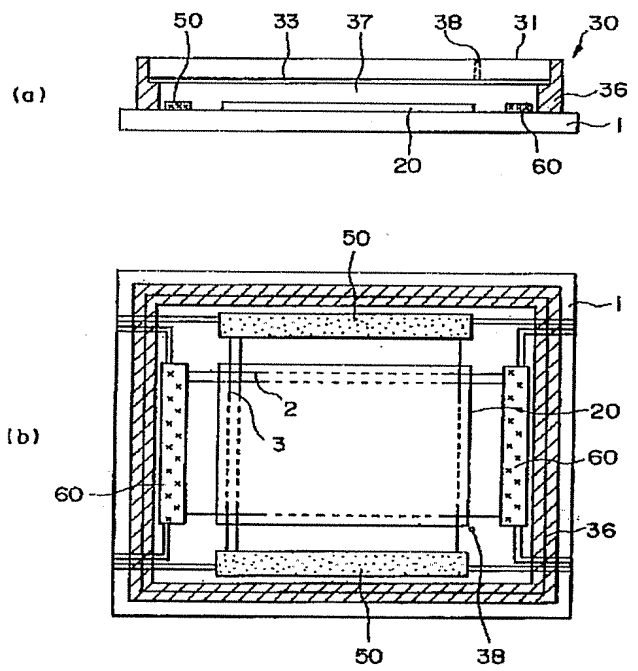
【図5】



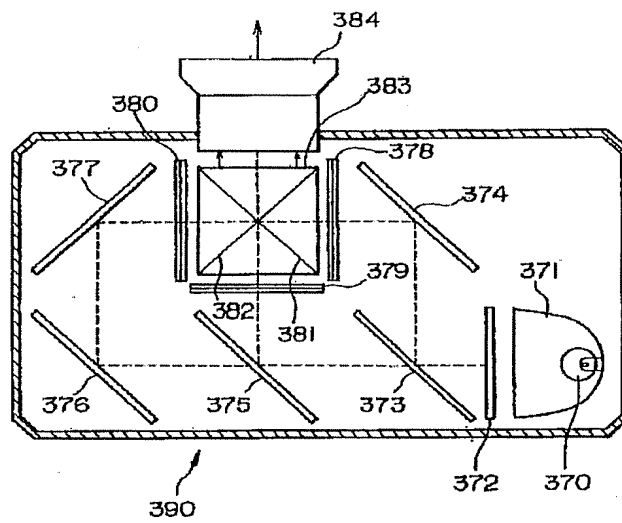
【図6】



【図7】



【図 8】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 29/78

6 1 7 J